



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 05055381

(43)Date of publication of application: 05.03.1993

(51)Int.Cl.

H01L 21/82

(21)Application number: 03215663

(71)Applicant:

KAWASAKI STEEL CORP

(22)Date of filing: 28.08.1991

(72)Inventor:

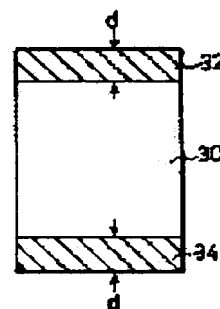
MATSUBARA NOBUNARI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DESIGN METHOD AND DEVICE

(57)Abstract:

PURPOSE: To provide a method of designing a semiconductor device in which a standard cell system is adopted, where a chip is prevented from increasing unnecessarily in area, and a power supply and a ground wiring are devised so as to cope with a case that a large number of standard cells are arranged in array.

CONSTITUTION: A circuit is designed using a library where various kinds of standard cells with no power supply wiring and ground wiring are registered, and then a power supply wire 32 and a grounding wire 34 are set in width conforming to the length of a cell row 30 and the operation speed of a circuit.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-55381

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl.⁴

H01L 21/82

識別記号

庁内整理番号

FI

技術表示箇所

9169-4M

H01L 21/82

L

9169-4M

B

審査請求 未請求 請求項の数2(全4頁)

(21)出願番号 特願平3-215663

(22)出願日 平成3年(1991)8月28日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 松原 伸成

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

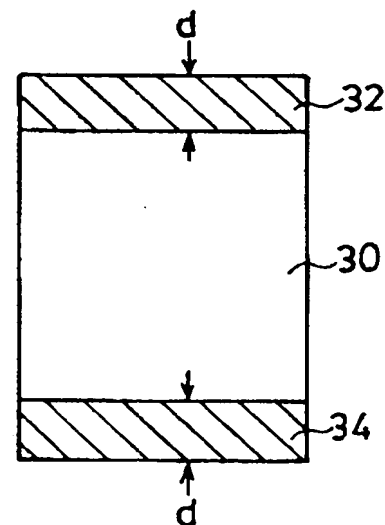
(74)代理人 弁理士 小杉 佳男 (外1名)

(54)【発明の名称】 半導体集積回路設計方法および装置

(57)【要約】

【目的】本発明は、スタンダードセル方式を採用した場合の半導体回路設計方法及び装置に関し、チップ面積が無駄に広がってしまうことを防止すると共に、多数の標準セルが並べられた場合にも対処できるように電源線、接地線を工夫する。

【構成】電源線、接地線のない各種標準セルが登録されたライブラリを用いて先ず回路設計し、その後セル列の長さ、回路の動作速度に合わせて電源線、接地線の線幅を定める。



【特許請求の範囲】

【請求項1】 複数の標準セルを所定の回路機能を有するように互いに所定の方向に並べることによりセル列を構成し、

該セル列の長さおよび該セル列により構成される回路の所望とする動作速度に基づいて、該セル列を構成する前記複数の標準セルに共通する、前記所定の方向に延びる電源線及び／又は接地線の線幅を求め、その線幅に基づいて前記所定の方向に電源線及び／又は接地線を配線することを特徴とする半導体集積回路設計方法。

【請求項2】 複数の標準セルを所定の回路機能を有するように互いに所定の方向に並べることによりセル列を構成する回路配置手段と、

前記回路配置手段により構成されたセル列の長さおよび該セル列により構成される回路の所望とする動作速度に基づいて、該セル列を構成する前記複数の標準セルに共通する、前記所定の方向に延びる電源線及び／又は接地線の線幅を求める線幅演算手段とを備えたことを特徴とする半導体集積回路設計装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路の設計方法および装置に関し、特にその設計手法としてスタンダードセル方式を採用した場合の設計方法、および該方法を実施する装置に関する。

【0002】

【従来の技術】 従来、LSIチップを効率的に構成するための設計手法の1つとして、基本論理回路を組合せて作った少し複雑な論理回路を最適設計してコンピュータのライブラリに標準セルとして登録しておき、LSIを設計する際にライブラリにある各種の標準セルを組合せて所定の機能を有する回路を実現するスタンダードセル方式が採用されている。このスタンダードセル方式においては、通常、各列間に配線のためのスペースを設けながら各種の標準セルが所定の方向に何列にも亘って配置される。

【0003】 図2は、従来の標準セルの一例を示した模式図である。図2に示す標準セル10には、所定の機能を有するようにトランジスタ、抵抗等が形成されるとともに、その回路構成、機能に係らず、各種の標準用セル10の互いに同一の位置に電源線12、接地線14が形成されている。図3は多数の標準セルを基板上に配列した状態を表わした図である。

【0004】 各標準セル10は互いに同一の位置に電源線12、接地線14が形成されているため、各標準セル10を、基板16上に互いにこの図の横方向に配列すると、これら各標準セル10の電源線12、接地線14はそのまま互いに接続され、各セル列を構成する多数の標準セル10に共通の電源線、接地線がこの図の横方向に直線的に延びるように形成されることとなる。

【0005】

【発明が解決しようとする課題】 ここで、各横一列にいくつの標準セル10が配置されるかは、カスタマイズ（具体的な回路設計）するまでは不明であり、またそれまでは必要とされる回路動作速度も不明である。したがって上記電源線12、接地線14の線幅をどのようにして定めるかが問題となる。

【0006】 例えば図3に示す列18のように一列内に非常に多数の標準セル10が並んだ場合であっても標準セル10を十分な速度で駆動できるように広幅の電源線、接地線が組み込まれた標準セル10をライブラリに登録しておくことが考えられる。ところがカスタマイズの際に、図3に示す列20のように一列に少数の標準セル10しか配列されない場合もあり、また動作速度が遅くてもよい場合もあり、これらの場合には電源線12、接地線14は必要以上に幅広となり、無駄にチップ面積が広がってしまう結果となる。

【0007】 一方、ライブラリに登録された各標準セル10には、この標準セル10がある程度数だけ配列され、かつある程度の動作速度でよい場合には十分な動作が保証されるが、それを越えて多数の標準セル10が配列され、あるいはさらに高速動作が要求される場合は線の太さが足りない程度の電源線24、接地線26を組み込むことが考えられる。

【0008】 この場合、通常は、この線幅を狭く形成したことによりチップ面積が狭められることとなるが、この狭く形成された電源線24、接地線26では動作が保証されない程度に標準セル10が配列されあるいは高速動作が要求される場合に問題が生じる。図4は、この問題の解決方法の一例を示した模式図である。

【0009】 半導体チップ22上に配列された多数の標準セルからなる、図の横に延びる各列がその途中で列24と列26とに分断され、複数の列に跨る、図の縦方向に延びる電源線28が列24と列26とに分けて形成されている（接地線は明示されていないが同様である）。各列に多数の標準セルが配列される場合、このようにセル列を分割して1つのセル列の長さを短くすることにより、列24、26内に延びる電源線、接地線の線幅の狭さが保償されるが、この場合図4の縦に延びる各列間をつなぐ電源線28を複数本配線する必要を生じ、これによりやはり半導体チップ22の寸法が大きくなってしまいうという問題がある。

【0010】 本発明は、上記事情に鑑み、チップ面積が無駄に広がってしまうことを防止すると共に、多数の標準セルが並べられた場合にも対処できるように電源線、接地線を工夫する半導体集積回路設計方法、および該設計方法を実施する装置を提供することを目的とする。

【0011】

【課題を解決するための手段】 上記目的を達成するための本発明の半導体集積回路設計方法は、複数の標準セル

を所定の回路機能を有するように互いに所定の方向に並べることによりセル列を構成し、該セル列の長さおよび該セル列により構成される回路の所望とする動作速度に基づいて、該セル列を構成する複数の標準セルに共通する、上記所定の方向に延びる電源線及び／又は接地線の線幅を求め、その線幅に基づいて前記所定の方向に電源線及び／又は接地線を配線することを特徴とするものである。

【0012】また上記方法の実施に用いる本発明の半導体集積回路設計装置は、複数の標準セルを所定の回路機能を有するように互いに所定の方向に並べることによりセル列を構成する回路配置手段と、この回路配置手段により構成されたセル列の長さおよび該セル列により構成される回路の所望とする動作速度に基づいて、該セル列を構成する複数の標準セルに共通する、上記所定の方向に延びる電源線及び／又は接地線の線幅を求める線幅演算手段とを備えたことを特徴とするものである。

【0013】

【作用】上記本発明の半導体集積回路設計方法及び装置は、例えば電源線、接地線のない標準セルをライブラリとして登録しておき、この登録された標準セルを組合せて所定の回路機能を有するように具体的に回路を設計した後、この回路設計により構成された、標準セルが所定の方向に並んだセル列の長さおよび該セル列の動作速度に基づいて、セル列を構成する複数の標準セルに共通する、該標準セルの配列方向に延びる電源線及び／又は接地線の線幅を求めるものであるため、電源線及び／又は接地線の線幅が必要以上に太くなることが防止されるとともに、長いセル列が構成され、あるいは高速の動作速度が要求される場合であっても、図4に示すように多数のセル列間をつなぐ電源線28等を複数本設ける必要はなく、したがっていずれの場合もチップ面積の減少化が図られることとなる。

【0014】

【実施例】以下、本発明の実施例について説明する。図1は、本発明の一実施例に係る1つの標準セルを略示した図である。ライブラリに登録された状態の標準セル30には、電源線32、接地線34は備えられておらず、この状態で多数種類の標準セル30が所定の回路機能を有するように互いに横方向に配列される。尚、ここでは、半導体ウエハ上に実際に配列される必要はなく、回路設計上で配列されればよいことは言うまでもない。

【0015】このようにして各種の標準セル30の配列が定められると、多数の標準セル30が配列されることにより構成された各セル列の長さ、および所望とする回

路動作速度が考慮されて、各セル列を構成する標準セル30の全てに十分な電力を供給するために必要かつ十分な、電源線、接地線の線幅dが求められ、ライブラリに登録された状態の標準セル30と結合される。このように適応的に電源線32、接地線34の線幅dが定められるため、電源線32、接地線34の線幅dが必要以上に幅広となることが防止され、また、長いセル列を備え高速の動作速度が要求される場合であってもセル列を分割する必要がなく、したがっていずれの場合もチップ面積の減少化に役立つこととなる。

【0016】尚、上記電源線32、接地線34の線幅dは、各セル列毎に定めてもよいが、極端に長いセル列と極端に短いセル列とが混在するような設計はできるだけ避けるのが通常であり、また1つのチップ内に動作速度の極端に早い部分と極端に遅い部分とを混在させることもまれであるため、チップ全体に亘って1種類だけ電源線32、接地線34の線幅dを定めてもよい。

【0017】また、電源線32の線幅と接地線34の線幅は、互いに同一である必要はなく、必要に応じ互いに異なってもよい。さらに上記実施例は、電源線32、接地線34の双方に本発明を適用した例であるが、例えば接地線についてはライブラリに登録される基本セルに組み込んでおき、電源線についてのみ上記のように適応的にその線幅を求める等、本発明は、電源線、接地線の一方についてのみ適用することもできる。

【0018】

【発明の効果】以上説明したように、本発明の半導体集積回路設計方法及び装置は、複数の標準セルを所定の回路機能を有するように互いに所定の方向に並べることにより先ずセル列を構成し、その後、そのセル列の長さや所望とする動作速度に基づいて電源線及び／又は接地線の線幅を求めるようにしたため、チップ面積が無駄に広がってしまうことが防止され、かつ多数の標準セルが配列された場合にも対処される。

【図面の簡単な説明】

【図1】本発明の一実施例に係る1つの標準セルを略示した図である。

【図2】従来の標準セルの一例を示した模式図である。

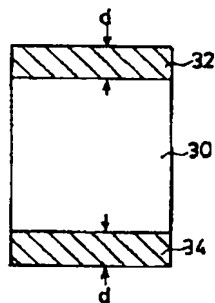
【図3】多数の標準セルを基板上に配列した状態を表わした図である。

【図4】半導体チップの一例の模式図である。

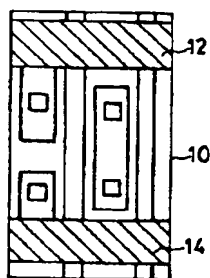
【符号の説明】

10, 30	標準セル	12, 32	電源線
14, 34	接地線		

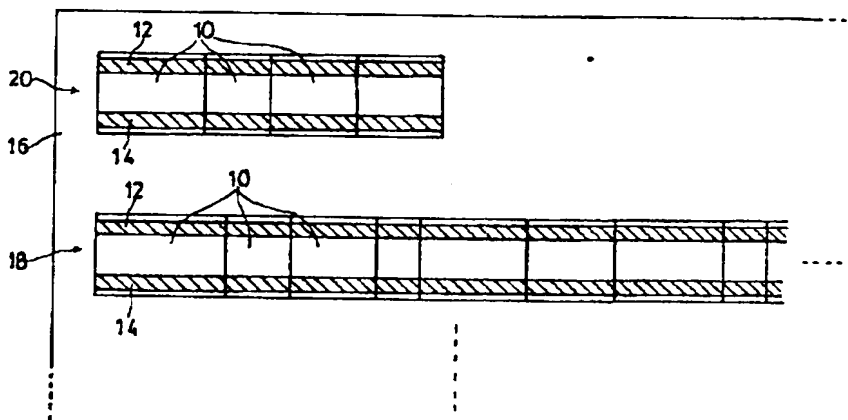
【図1】



【図2】



【図3】



【図4】

